

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**

E6122



JP2019051

Biblio

Pag 1

esp@cenet

MODEM CONTROLLER

Patent Number: JP2019051
Publication date: 1990-01-23
Inventor(s): MISE KIYOBUMI; others: 04
Applicant(s):: FUJITSU LTD
Requested Patent: ☐ JP2019051

Application Number: JP19880170098 19880707

Priority Number(s):

IPC Classification: H04L29/14

EC Classification:

Equivalents:

Abstract

PURPOSE: To quicken the operation diagnosis of a MODEM connection section at application of power by connecting each one end side of a reception system control section and a transmission system control section so as to form a folded loop and detecting a pattern data from a pattern generator when both the control sections are normal.

CONSTITUTION: A MODEM connection section MC controlling plural MODEMs MM1-MMn is connected to a control section CS by a reception system line RL and a transmission system line WL. The MODEM control section MC is provided with a switch means 3 connecting each end of MODEM sides of the reception system control section 1 and the transmission system control section 2 to form a folded loop and a pattern generator 4 giving a pattern data for loopback test to the reception system control section 1 synchronously with the operation, the pattern data and the result looped back via the switch means 3 or the like are compared and the result is checked by a checker 5. Thus, trouble-shooting of the normality of the operation of the MODEM connection section MC carried out early at application of power.

Data supplied from the esp@cenet database - I2

E 6122

⑩ 日本国特許庁(JP)

⑪ 特許出願公開

⑫ 公開特許公報(A) 平2-19051

⑬ Int.Cl.⁹
H 04 L 29/14

識別記号

庁内整理番号

⑭ 公開 平成2年(1990)1月23日

7240-5K H 04 L 13/00 315 A

審査請求 未請求 請求項の数 1 (全6頁)

⑮ 発明の名称 モデム制御装置

⑯ 特 願 昭63-170098

⑰ 出 願 昭63(1988)7月7日

⑱ 発 明 者 三 瀬 清 文 神奈川県川崎市中原区上小田中1015番地 富士通株式会社
内

⑲ 発 明 者 洪 加 強 神奈川県川崎市中原区上小田中1015番地 富士通株式会社
内

⑳ 発 明 者 高 野 良 次 神奈川県川崎市中原区上小田中1015番地 富士通株式会社
内

㉑ 出 願 人 富士通株式会社 神奈川県川崎市中原区上小田中1015番地

㉒ 代 理 人 弁理士 井島 藤治 外1名

最終頁に続く

明 細 書

1. 発明の名称

モデム制御装置

2. 特許請求の範囲

送受信の制御を行なう制御部(CS)と、この制御部に対して受信系路(RL)と送信系路(WL)とによって結ばれ、受信系路制御部(1)と送信系路制御部(2)とを有し、制御部(CS)から各種の制御信号を受け複数のモデムを制御するモデム接続部(MC)とからなるモデム制御装置であって、

前記モデム接続部(MC)に、電源投入時に受信系路制御部(1)と送信系路制御部(2)とのそれぞれのモデム側一端を相互に接続し折返しループを形成させるスイッチ手段(3)と、

スイッチ手段(3)の動作と同期して折返し試験用のパターンデータを受信系路制御部(1)の入力側に与えるパターンジェネレータ(4)と、

パターンジェネレータ(4)が出力するパターンデータと受信系路制御部(1)、スイッチ手段

(3)、送信系路制御部(2)を介して折り返される結果とを比較し、当該比較結果を制御部(CS)に伝えるチェッカ(5)とを設けたことを特徴とするモデム制御装置。

3. 発明の詳細な説明

【概要】

内部にマイクロプロセッサを備え、基端制御プログラム方式でモデム通信を行なうモデム制御装置に関し、

装置の電源投入時において、モデム接続部の動作が正常であるか否かの判断を迅速に行なえるようにすることを目的とし、

送受信の制御を行なう制御部と、この制御部に対して受信系路と送信系路とによって結ばれ、受信系路制御部と送信系路制御部とを有し、制御部から各種の制御信号を受け複数のモデムを制御するモデム接続部とからなるモデム制御装置であって、前記モデム接続部に、電源投入時に受信系路制御部と送信系路制御部とのそれぞれのモデム側一端を相互に接続し折返しループを形成させるス

スイッチ手段と、スイッチ手段 動作と同期して折返し試験用のパターンデータを受信系統制御部入力側に与え、パターンジェネレータと、パターンジェネレータが出力するパターンデータと受信系統制御部、スイッチ手段、送信系統制御部を介して折り返される結果とを比較し、当該比較結果を制御部に伝えるチェックとを設けて構成する。

【産業上の利用分野】

本発明は、内部にマイクロプロセッサを備え番機制御プログラム方式でモデム通信を行なうモデム制御装置に関し、更に詳しくは送受信の制御を行なう制御部と、この制御部からの情報で複数のモデムを制御するモデム接続部とからなり、電源投入時において、送受信機能が正常に動作するかどうかの自己診断手段を備えたモデム制御装置に関する。

【従来の技術】

第6図は従来のモデム制御装置の構成ブロック

図に示すように、従来のモデム制御装置においては、何らかの通信障害が発生した時、その障害箇所を発見のために、あるいは定期的に制御部CS内で、モデム接続部MCからの信号の折返し試験を行ったり、モデム接続部MC内で、制御部CSからの信号の折返し試験を行ったり、各モデム内での折返し試験を行なうようにしていた。

このため、障害箇所を早期に見出すうえで問題があった。

本発明は、このような課題に鑑みてなされたものであって、装置の電源投入時において、モデム接続部の動作が正常であるか否かの診断を迅速に行なうことができるようにしたモデム制御装置を提供することを目的とする。

【課題を解決するための手段】

第1図は本発明の原理ブロック図である。図においてCSは送受信の制御を行なう制御部、MCは制御部CSから各種の制御信号、データを受け複数のモデムMM1～MMnを制御するモデム接

続部である。図において、CSは送受信の制御を行なう制御部、MCは制御部CSから各種の制御信号、データを受け、複数のモデムMM1～MMnを制御するモデム接続部である。制御部CSとモデム接続部MCとは、受信系統RLと送信系統WLとによって結ばれている。

制御部CSはマイクロプロセッサを含み、番機制御プログラム方式でモデム制御を行なうクロック信号、番出し信号、データ等を受信系統RLに出力し、モデム接続部MCは受信系統RLを介して送られてくる制御信号に従ってシリアル信号をパラレル信号に変換したり、各モデムMM1～MMnに対してデータを分配したりする。また、各モデムからのデータをシリアル信号に変換し、制御信号とともに制御部CS側に送信系統WLを介して送る動作をする。

【発明が解決しようとする課題】

このように構成されるモデム制御装置においては、この装置の故障はそれに接続される複数の

接続部で、制御部CSに対して、受信系統RLと送信系統WLとによって結ばれている。モデム接続部MCにおいて、1は受信系統制御部、2は送信系統制御部、3は電源投入時において受信系統制御部1と送信系統制御部2とのそれぞれのモデム側一端を相互に接続し折返しループを形成させるスイッチ手段、4はスイッチ手段3の動作と同期して折返し試験用のパターンデータを受信系統制御部1の入力側に与えるパターンジェネレータ、5はパターンジェネレータ4が出力するパターンデータと受信系統制御部1、スイッチ手段3、送信系統制御部2を介して折返される結果とを比較してチェックするチェックである。

【作用】

電源が投入されると、スイッチ手段は受信系統制御部1と送信系統制御部2のモデム側一端を折返しループを形成するように接続させる。この時、各制御部1、2が共に正常な動作をしている場合、パターンジェネレータ4から出力されたパターン

データは、ループを介して同じパターンでチェックカ5に輸入される。チェックカ5はこれを検出することでモデム接続部単体での自己診断を行なう。

【実施例】

以下図面を用いて本発明の実施例を詳細に説明する。第2図及び第3図は本発明の一実施例の構成ブロック図である。第2図は制御部CS側であり、第3図はモデム接続部MC側を示している。これらの図において、第1図の各要素に対応する部分には、同一符号を付して示す。

第2図に示す制御部CSにおいて、CPUはマイクロプロセッサ、RAMはランダムアクセスメモリで、ここには複数のモデムを制御するための番組制御プログラムが格納されており、SDはモデム側へ出力するための制御プログラムが、SCNにはモデム側からの制御データが格納される。R/WLは送受信制御用LSIである。

第3図に示すモデム接続部MCにおいて、10は制御部CSから与えられるクロックRCK、順

次回路(Latch)、23はパラレル信号をシリアル信号に変換するパラレル/シリアル変換器(P/C)、24は変換されたシリアル信号を制御部CSに送出するドライバ(DRV)である。

チェッカ(Checker)5はパターンジェネレータ4が出力するパターンデータと、送信系統制御部2内のドライバ24からのデータとを入力し、駆動回路6からの信号で両データを比較するものである。

1a、1bは制御部CSの送受信制御LSIから出力されるデータの受信系統部及び送信系統部であり、いずれも内部にレシーバRCV、ドライバDRVを備えている。1c、1dはモデム側からのクロックの受信系統部であり、いずれも内部にレシーバRCV、ドライバDRVを備えている。3aは受信系統部1aと送信系統部1bとの間に設けたスイッチ手段である。

このように構成した装置の動作を説明すれば以下の通りである。第4図は動作の一例を示すタイムチャートである。第3図a、b、cは、制御部

出し信号RFCK、データRDataと、パターンジェネレータ4からのパターンデータとを選択するセレクタ、6はセレクタ10、スイッチ手段3を電源投入時に駆動するための駆動回路である。

受信系統制御部1は、セレクタ10で選択した信号を受けるレシーバ(RCV)11、レシーバ11からのシリアル信号をパラレル信号に変換するシリアル/パラレル変換器(S/P)、13はセレクタ10からの信号を入力し、タイミング信号を生成するタイミング手段(TMG)、14はシリアル/パラレル変換器12で変換されたパラレル信号をタイミング手段13からのタイミング信号でラッチするラッチ回路(Latch)、15はラッチ回路14からのパラレルデータを入力し、接続されるモデムの規格(例えばCCITT V.28)に合った形態とし、モデムをドライブするドライバ(DRV)である。

送信系統制御部2において、21はモデムからの信号を受けるレシーバ(RCV)、22はレシーバ21で受けたパラレルデータをラッチするラ

CSの制御プログラムが出力するクロックRCK、順次信号RFCK、データRDataをそれぞれ示している。また、d、e、fはモデム側から制御プログラムSCNが受けるクロックWCK、順次信号WFCK、データWDataをそれぞれ示している。

モデムを制御する制御データD0~Dnは、制御部CSとモデム接続部MCとの間で、受信系統RLと送信系統WLとを多重化して図示するように伝送される。

第5図は、電源投入時に行なう自己診断動作を示すフローチャートである。電源が投入されると、駆動回路6はセレクタ10、チェッカ5、リレーRLYをそれぞれ駆動する(ステップ1)。これによって、セレクタ10はパターンジェネレータ4からの出力を選択する。また、スイッチ手段3は接点Mが閉じ、接点Bが開となり、受信系統制御部1と送信系統制御部2とのモデム側一端を相互に接続し折返しループを形成する。次にパターンジェネレータ4は、セレクタ10側及びチェッ

か5側に、折返し試験の為 特定パターンデータ
を出力する(ステップ2)。このパターンデータ
は、セクタ10を介してレシーバ11で受信さ
れ、シリアル/パラレル変換器12でパラレル信
号に変換され、ラッチ回路14、ドライバ15を
経由して、スイッチ手段3で折返され、レシーバ
21で受信される。

レシーバ21で受信された折返しパターンデー
タは、ラッチ回路22でラッチされ、パラレル/
シリアル変換器23でシリアル信号に変換され、
ドライバ24を経由してチェックカ5に印加され
る。続いて、チェックカ5は、パターンジェネレータ4
が出力した特定パターンデータと、ドライバ24
を経由して印加される折返しパターンデータとを
比較する(ステップ3)。ここで特定パターンデ
ータと折返しパターンデータとが同じであれば、
モデム接続部MCにおける送受信系統部1、2は
いずれも正常に動作していることを示すOK信号
を出力するとともに、スイッチ手段3、セクタ
10を駆動し、試験ループ状態を解除する(ステ

ップ4)。また、両データが不一致の場合、送受
信系統部1、2 いずれかに動作異常があると判
断し、異常を示す信号を出力する(ステップ5)。
この場合、モデム接続部の処理、取換え等の処理
を行なうこととなる。

以上の説明は、制御信号系統を例にとったもの
であるが、データの送信系統1a、1bについて
も同様である。

【発明の効果】

以上詳細に説明したように、本発明によれば電
源投入時において、複数のモデムに接続されこれ
らを制御するモデム接続部の動作の正常、異常を
早期に発見することができるもので、信頼性の高
いモデム制御装置を提供できる。

4. 図面の簡単な説明

第1図は本発明の原理ブロック図、

第2図及び第3図は本発明の一実施例の構成ブ
ロック図、

第4図は動作の一例を示すタイムチャート、

第5図は自己診断動作を示すフローチャート、
第6図は従来の装置の構成ブロック図である。

第1図及び第2図において、

CSは制御部、

MCはモデム接続部、

MM1～MMnはモデム、

RLは受信系路、

WLは送信系路、

1は受信系統制御部、

2は送信系統制御部、

3はスイッチ手段、

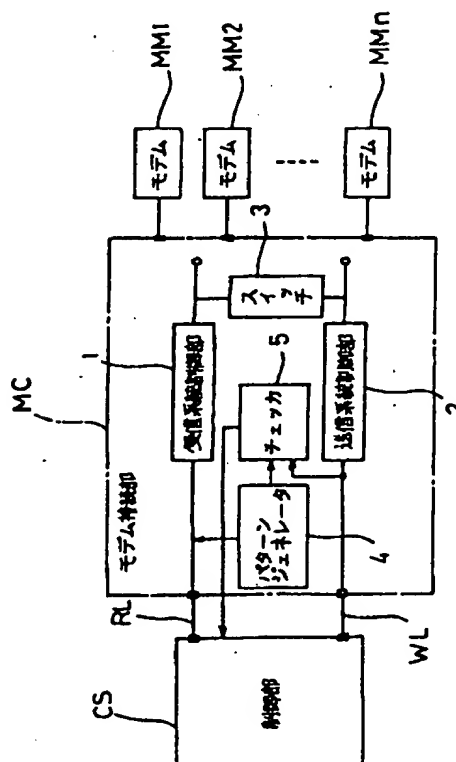
4はパターンジェネレータ、

5はチェックカである。

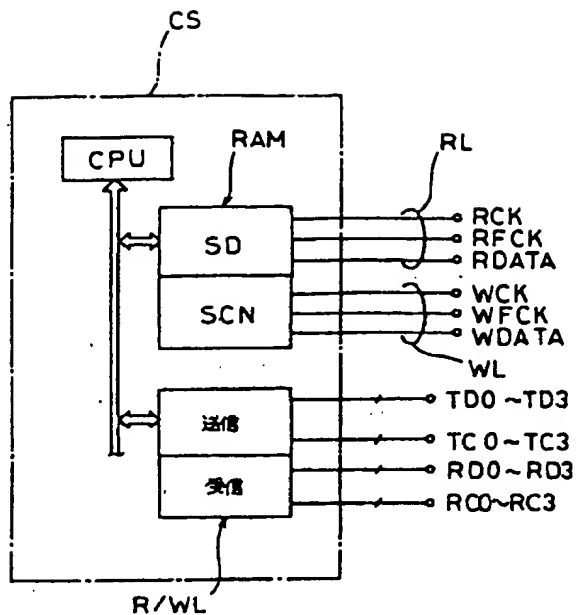
特許出願人 富士通株式会社

代理人 弁理士 井 島 廣 治

外1名

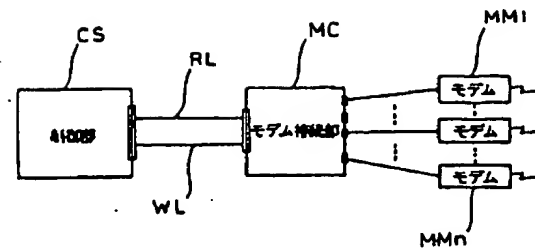


本発明の原理ブロック図
第1図



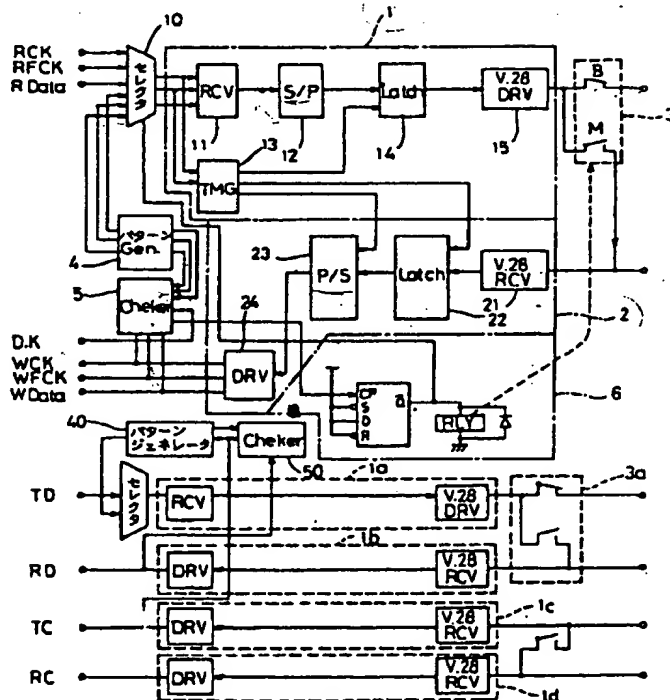
本発明の一実施例の構成ブロック図 (制御部)

第2図



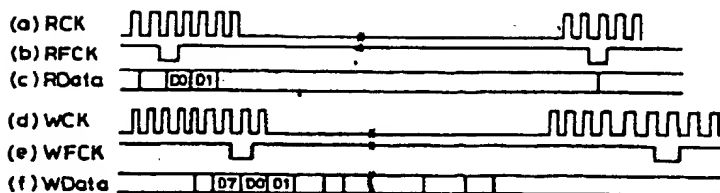
従来装置の構成例

第6図



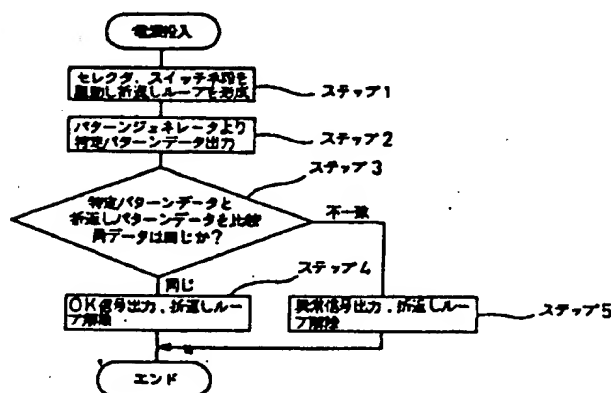
本発明の一実施例の構成ブロック図 (モデム制御部)

第3図



動作の一例を示すタイムチャート

図 4



自己診断動作のフローチャート

図 5

第1頁の続き

⑦発明者 畑 野 隆 司 神奈川県川崎市中原区上小田中1015番地 富士通株式会社
内
⑧発明者 森 田 純 恵 神奈川県川崎市中原区上小田中1015番地 富士通株式会社
内